



DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

2002 EPO. All rts. reserv.

DEC 02 2002 12132012

Basic Patent (No,Kind,Date): JP 6338507 A2 19941206 <No. of Patents: 004>

SEMICONDUCTOR SUBSTRATE AND SOLID-STATE IMAGE-PICKUP  
DEVICE AND MANUFACTURE THEREOF (English)

Patent Assignee: SONY CORP

Author (Inventor): TAKIZAWA RITSUO; KUSAKA TAKAHISA; HIGUCHI  
TAKAYOSHI; KANBE HIDEO; OHASHI MASANORI

IPC: \*H01L-021/322; H01L-021/20; H01L-027/148

Derwent WPI Acc No: \*C 95-058082; C 95-058082

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
<b>JP 6338507</b>	A2	19941206	JP 9423145	A	19940125 (BASIC)
US 5734195	A	19980331	US 636887	A	19960424
US 5874348	A	19990223	US 651656	A	19960521
US 6140213	A	20001031	US 84006	A	19980526

Priority Data (No,Kind,Date):

JP 9423145 A 19940125  
JP 9395388 A 19930330  
US 636887 A 19960424  
US 465750 B1 19950606  
US 216052 B3 19940321  
US 651656 A 19960521  
US 216052 B1 19940321  
US 84006 A 19980526  
US 651656 A3 19960521

TECHNOLOGY CENTER 2800

DEC -5 2002

RECEIVED

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

04666607     \*\*Image available\*\*

**SEMICONDUCTOR SUBSTRATE AND SOLID-STATE IMAGE-PICKUP DEVICE AND  
MANUFACTURE THEREOF**

PUB. NO.:     **06-338507** [JP 6338507 A]

PUBLISHED:     December 06, 1994 (19941206)

INVENTOR(s):   TAKIZAWA RITSUO  
                  KUSAKA TAKAHISA  
                  HIGUCHI TAKAYOSHI  
                  KANBE HIDEO  
                  OHASHI MASANORI

APPLICANT(s): SONY CORP [000218] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:     06-023145 [JP 9423145]

FILED:           January 25, 1994 (19940125)

INTL CLASS:     [5] H01L-021/322; H01L-021/20; H01L-027/148

JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
MOS); R098 (ELECTRONIC MATERIALS -- Charge Transfer Elements,  
CCD & BBD); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

**ABSTRACT**

PURPOSE: To manufacture a semiconductor substrate, with which impurities and a crystal defect can be heavily subjected to gettering and also the gettering power can be maintained for a long period of time.

CONSTITUTION: A carbon implantation region 15 is formed by ion-implanting carbon 14 into a CZ substrate 11 which is an Si substrate having an oxygen density of  $1.5 \times 10^{18} \text{ atom/cm}^3$ . An Si epitaxial layer 16 is formed on the above-mentioned CZ substrate 11, and an epitaxial substrate 17 is completed. A high density crystal defect is formed in such a manner that the deposition of oxygen is accelerated by the ion-implanted carbon 14, and this crystal defect becomes a gettering site. Also, stress is generated by the difference in covalent linkage radius between Si and carbon 14, and this stress itself becomes the gettering site.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-338507

(43) 公開日 平成6年(1994)12月6日

(51) Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/322	J	8617-4M		
21/20		8122-4M		
27/148		7210-4M	H 0 1 L 27/ 14	B

審査請求 未請求 請求項の数10 F D (全 7 頁)

(21) 出願番号 特願平6-23145

(22) 出願日 平成6年(1994)1月25日

(31) 優先権主張番号 特願平5-95388

(32) 優先日 平5(1993)3月30日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 滝澤 律夫

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 日下 卓久

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 樋口 孝良

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 土屋 勝

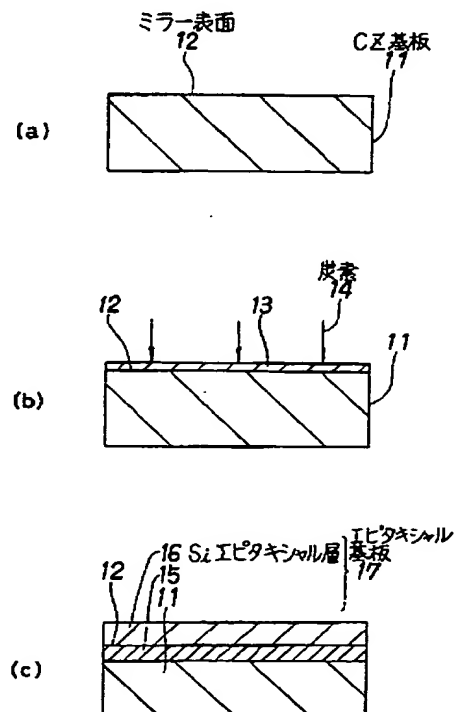
最終頁に続く

(54) 【発明の名称】 半導体基板、固体撮像装置及びこれらの製造方法

(57) 【要約】

【目的】 不純物及び結晶欠陥を強力にゲッターリングすることができ且つゲッターリング能力が長く持続する半導体基板及び固体撮像装置を製造する。

【構成】 酸素濃度が $1.5 \times 10^{18}$ 原子 $\text{cm}^{-3}$ のSi基板であるCZ基板11に炭素14をイオン注入して、炭素注入領域15を形成する。そして、このCZ基板11上にSiエピタキシャル層16を形成して、エピタキシャル基板17を完成させる。イオン注入した炭素14が酸素の析出を加速して高密度の結晶欠陥を形成し、この結晶欠陥がゲッターリングサイトになる。また、Siと炭素14とで共有結合半径が異なることによって応力が発生し、この応力自体もゲッターリングサイトになる。



## 【特許請求の範囲】

【請求項1】 半導体基板の表面にエピタキシャル層が形成されており、

前記半導体基板を形成している第1の元素以外で且つこの第1の元素と同族の第2の元素が前記表面よりも前記半導体基板側にピーク濃度を有して存在しており、このピーク濃度が $1 \times 10^{16}$ 原子 $\text{cm}^{-3}$ 以上であることを特徴とする半導体基板。

【請求項2】 前記半導体基板がSi基板であり、前記第2の元素が炭素であることを特徴とする請求項1記載の半導体基板。

【請求項3】 請求項1または2記載の半導体基板に形成されていることを特徴とする固体撮像装置。

【請求項4】 半導体基板を形成している第1の元素以外で且つこの第1の元素と同族の第2の元素を少なくとも含んでいるイオンを前記半導体基板に注入する工程と、

前記注入を行った前記半導体基板の表面にエピタキシャル層を形成する工程とを有することを特徴とする半導体基板の製造方法。

【請求項5】 前記半導体基板がSi基板であることを特徴とする請求項4記載の半導体基板の製造方法。

【請求項6】 前記第2の元素が炭素であり、この炭素のイオンを $5 \times 10^{13} \sim 5 \times 10^{15} \text{cm}^{-2}$ のドーズ量で注入することを特徴とする請求項5記載の半導体基板の製造方法。

【請求項7】 エピタキシャル成長温度におけるエピタキシャル成長と前記エピタキシャル成長温度の $1/2$ 以下の温度への冷却とを順次に複数回繰り返すことによって、前記エピタキシャル層を形成することを特徴とする請求項4～6の何れか1項に記載の半導体基板の製造方法。

【請求項8】 前記半導体基板が固溶限界以上の酸素を含有していることを特徴とする請求項4～7の何れか1項に記載の半導体基板の製造方法。

【請求項9】 酸素濃度が $8 \times 10^{17}$ 原子 $\text{cm}^{-3}$ 以上の半導体基板を $1.0 \text{mm分}^{-1}$ 以下の結晶成長速度で製造することを特徴とする半導体基板の製造方法。

【請求項10】 請求項4～9の何れか1項に記載の方法で半導体基板を製造し、この半導体基板に固体撮像装置を形成することを特徴とする固体撮像装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本願の発明は、半導体装置、特に、固体撮像装置を形成するための半導体基板及びこれらの製造方法に関するものである。

## 【0002】

【従来の技術】 半導体装置を形成するための半導体基板としては、CZ法で成長させたCZ基板や、MCZ法で

成長させたMCZ基板や、これらのCZ基板やMCZ基板の表面にエピタキシャル層を形成したエピタキシャル基板等が従来から用いられている。

【0003】 一方、半導体装置の形成工程は現在ではクラス100以下の超クリーンルーム内で行われているが、ガス、水や半導体製造装置等からの不純物による半導体基板の汚染を完全には避けることができない。しかも、半導体基板の表面にエピタキシャル層を形成する工程で半導体基板に導入される不純物の量は、半導体装置の形成工程で導入される不純物の量よりも更に多い。

【0004】 不純物や結晶欠陥が半導体基板の素子活性領域に存在していると、半導体装置の品質及び特性が著しく劣化する。また、不純物や結晶欠陥が半導体基板に存在していると、 $\alpha$ 線等の放射線による照射損傷を半導体基板が受け易く、この損傷によって半導体装置の品質及び特性が更に劣化する。

【0005】 そこで、これらの不純物や結晶欠陥を素子活性領域から除去するために、イントリンシックゲッタリング（IG）やエクストリンシックゲッタリング（EG）が従来から行われている。図2、3は、これらの処理を施したエピタキシャル基板等に形成した半導体装置の特性を示している。

【0006】 これらの図2、3の結果を得るために、まず、ゲッタリングを行っていないCZ基板と、EGを行ったCZ基板と、IGを行ったCZ基板とに、同時にエピタキシャル層を形成した。この場合のEGは、620℃の温度のCVD法で膜厚が $1.5 \mu\text{m}$ の多結晶Si膜をCZ基板の裏面に形成して行った。また、IGは、1100℃、1.5時間の熱処理と、650℃、10時間の熱処理と、1050℃、2時間の熱処理とを順次に加え、酸素の析出でCZ基板の内部に結晶欠陥を発生させて行った。

【0007】 そして、これらのエピタキシャル基板に、膜厚が20nmの $\text{SiO}_2$ 膜から成るゲート絶縁膜とAl膜から成るゲート電極とを有するMOSキャパシタと、CCD撮像装置とを形成した。図2は、このMOSキャパシタを用いたC-t法で求めた発生寿命を、CZ基板における測定値を1として規格化した値として示している。図3は、CCD撮像装置の白傷欠陥の数を、MCZ基板における測定値を1として規格化した値として示している。なお、この白傷欠陥は、不純物等に起因する暗電流に相当している。

## 【0008】

【発明が解決しようとする課題】 ところが、これらの図2、3から明らかな様に、エピタキシャル基板では、EGやIGを行っても、発生寿命はCZ基板と大差がなく、白傷欠陥の数に至ってはMCZ基板程度にまでも低減させることができていない。一方、CZ基板やMCZ基板でも、基板のみならず基板の表面に形成したゲート絶縁膜にも欠陥が存在しており、ゲート絶縁膜の耐圧劣

化に起因する電流リークや界面準位の増大によって、C D撮像装置における転送不良等が生じている。

【0009】

【課題を解決するための手段】請求項1の半導体基板17は、半導体基板11の表面12にエピタキシャル層16が形成されており、前記半導体基板11を形成している第1の元素以外で且つこの第1の元素と同族の第2の元素14が前記表面12よりも前記半導体基板11側にピーク濃度を有して存在しており、このピーク濃度が $1 \times 10^{16}$ 原子 $\text{cm}^{-3}$ 以上であることを特徴としている。

【0010】請求項2の半導体基板17は、請求項1の半導体基板17において、前記半導体基板11がSi基板であり、前記第2の元素14が炭素であることを特徴としている。

【0011】請求項3の固体撮像装置は、請求項1または2の半導体基板17に形成されていることを特徴としている。

【0012】請求項4の半導体基板17の製造方法は、半導体基板11を形成している第1の元素以外で且つこの第1の元素と同族の第2の元素14を少なくとも含んでいるイオンを前記半導体基板11に注入する工程と、前記注入を行った前記半導体基板11の表面にエピタキシャル層16を形成する工程とを有することを特徴としている。

【0013】請求項5の半導体基板17の製造方法は、請求項4の半導体基板17の製造方法において、前記半導体基板11がSi基板であることを特徴としている。

【0014】請求項6の半導体基板17の製造方法は、請求項5の半導体基板17の製造方法において、前記第2の元素14が炭素であり、この炭素のイオンを $5 \times 10^{13} \sim 5 \times 10^{15} \text{cm}^{-2}$ のドーズ量で注入することを特徴としている。

【0015】請求項7の半導体基板17の製造方法は、請求項4～6の何れかの半導体基板17の製造方法において、エピタキシャル成長温度におけるエピタキシャル成長と前記エピタキシャル成長温度の $1/2$ 以下の温度への冷却とを順次に複数回繰り返すことによって、前記エピタキシャル層16を形成することを特徴としている。

【0016】請求項8の半導体基板17の製造方法は、請求項4～7の何れかの半導体基板17の製造方法において、前記半導体基板11が固溶限界以上の酸素を含有していることを特徴としている。

【0017】請求項9の半導体基板の製造方法は、酸素濃度が $8 \times 10^{17}$ 原子 $\text{cm}^{-3}$ 以上の半導体基板を $1.0 \text{mm分}^{-1}$ 以下の結晶成長速度で製造することを特徴としている。

【0018】請求項10の固体撮像装置の製造方法は、請求項4～9の何れかの方法で半導体基板17を製造し、この半導体基板17に固体撮像装置を形成すること

を特徴としている。

【0019】

【作用】請求項1、2の半導体基板17及び請求項3の固体撮像装置では、 $1 \times 10^{16}$ 原子 $\text{cm}^{-3}$ 以上のピーク濃度で半導体基板11内に存在している第2の元素14が酸素の析出を加速して半導体基板11に高密度の結晶欠陥を形成しており、この結晶欠陥がゲッターリングサイトになっている。また、半導体基板11を形成している第1の元素とこの半導体基板11内に存在している第2の元素14とで共有結合半径が異なることによって応力が発生しており、この応力自体もゲッターリングサイトになっている。

【0020】このため、半導体基板11中に元々存在している不純物及び結晶欠陥や、エピタキシャル層16を形成する際及びその後に固体撮像装置等の半導体装置を形成する際に導入される不純物及び結晶欠陥が、強力にゲッターリングされており、且つゲッターリング能力が長く持続する。

【0021】しかも、第2の元素14は半導体基板11の表面12よりも半導体基板11側にピーク濃度を有しているので、この表面12の結晶性の劣化が少なく、この表面12に形成されているエピタキシャル層16の結晶性の劣化も少ない。

【0022】請求項4、5の半導体基板17の製造方法では、半導体基板11にイオン注入した第2の元素14が酸素の析出を加速して半導体基板11に高密度の結晶欠陥を形成し、この結晶欠陥がゲッターリングサイトになる。また、半導体基板11を形成している第1の元素とこの半導体基板11にイオン注入した第2の元素14とで共有結合半径が異なることによって応力が発生し、この応力自体もゲッターリングサイトになる。

【0023】このため、半導体基板11中に元々存在している不純物及び結晶欠陥や、エピタキシャル層16を形成する工程及びその後に半導体装置を形成する工程で導入される不純物及び結晶欠陥を、強力にゲッターリングすることができ、且つゲッターリング能力が長く持続する半導体基板17を製造することができる。

【0024】請求項6の半導体基板17の製造方法では、第2の元素14のドーズ量が $5 \times 10^{13} \text{cm}^{-2}$ 以上であるので、この第2の元素14のイオン注入による高密度の結晶欠陥の形成と応力の発生とを十分に行うことができ、ゲッターリング能力が高い半導体基板17を製造することができる。しかも、第2の元素14のドーズ量が $5 \times 10^{15} \text{cm}^{-2}$ 以下であるので、半導体基板11の表面12の結晶性の劣化が少なく、この表面12に形成するエピタキシャル層16の結晶性の劣化も少ない。

【0025】請求項7の半導体基板17の製造方法では、エピタキシャル層16の形成に際して複数回の熱履歴が加えられるので、第2の元素14のイオン注入によって半導体基板11に形成された高密度の結晶欠陥が更

に成長し、ゲッタリング能力が高い半導体基板 17 を製造することができる。

【0026】請求項 8 の半導体基板 17 の製造方法では、半導体基板 11 へ第 2 の元素 14 をイオン注入するに際して酸素の析出を更に加速して更に高密度の結晶欠陥を形成することができるので、ゲッタリング能力が更に高い半導体基板 17 を製造することができる。

【0027】請求項 9 の半導体基板の製造方法では、結晶成長時に導入される点欠陥やそのクラスタ等が本来的に少なく、しかも不純物及び結晶欠陥が存在していても析出させた酸素によってこれらの不純物及び結晶欠陥を強力にゲッタリングすることができる半導体基板を製造することができる。

【0028】請求項 10 の固体撮像装置の製造方法では、ゲッタリング能力が強力で且つゲッタリング能力が長く持続する半導体基板 17 に固体撮像装置を製造することができる。

【0029】

【実施例】以下、本願の発明の第 1 及び第 2 実施例を、図 1～6 を参照しながら説明する。図 1 が、第 1 実施例を示している。この第 1 実施例では、図 1 (a) に示す様に、CZ 法で成長させた Si 基板である CZ 基板 11 を準備する。この CZ 基板 11 では、 $\langle 100 \rangle$  面をミラー表面 12 としてあり、抵抗率が  $1 \sim 10 \Omega \text{ cm}$  であり、酸素濃度が  $1.5 \times 10^{18} \text{ 原子 cm}^{-3}$  である。そして、この CZ 基板 11 を、まず  $\text{NH}_4 \text{ OH} / \text{H}_2 \text{ O}_2$  水溶液で洗浄し、更に  $\text{HCl} / \text{H}_2 \text{ O}_2$  水溶液で洗浄する。

【0030】次に、 $1000^\circ \text{C}$  の温度でドライ酸化を行って、図 1 (b) に示す様に、膜厚が  $20 \text{ nm}$  程度の  $\text{SiO}_2$  膜 13 をミラー表面 12 に形成する。そして、 $\text{SiO}_2$  膜 13 を介してミラー表面 12 から、 $800 \text{ keV}$  の加速エネルギー及び  $1 \times 10^{14} \text{ cm}^{-2}$  のドーズ量で、炭素 14 を CZ 基板 11 にイオン注入する。このときの炭素 14 の、投影飛程距離は  $1.3 \mu \text{m}$  程度であり、ピーク濃度は  $1 \times 10^{18} \text{ 原子 cm}^{-3}$  程度である。

【0031】次に、 $\text{N}_2$  雰囲気中で  $1000^\circ \text{C}$ 、10 分間のアニールを施す。この結果、図 1 (c) に示す様に、CZ 基板 11 のミラー表面 12 よりも深い位置にピーク濃度を有する炭素注入領域 15 が形成される。この炭素注入領域 15 中における炭素 14 のピーク濃度は、 $1 \times 10^{16} \text{ 原子 cm}^{-3}$  以上であればよい。

【0032】その後、 $\text{HF} / \text{NH}_4 \text{ F}$  水溶液で  $\text{SiO}_2$  膜 13 を除去する。そして、 $\text{SiHCl}_3$  ガスを用いて、 $1150^\circ \text{C}$  程度の温度で、抵抗率が  $20 \sim 30 \Omega \text{ cm}$  程度の Si エピタキシャル層 16 を、ミラー表面 12 上に  $10 \mu \text{m}$  程度の厚さに成長させて、エピタキシャル基板 17 を完成させる。

【0033】なお、炭素注入領域 15 中における炭素 14 のピーク濃度の位置をミラー表面 12 よりも深い位置

にするのは、ピーク濃度の位置をミラー表面 12 にすると、ミラー表面 12 の結晶性が劣化して、このミラー表面 12 上に成長させる Si エピタキシャル層 16 の結晶性も劣化するからである。また、炭素 14 のイオン注入後に  $\text{N}_2$  雰囲気中でアニールを行うのは、後にミラー表面 12 上に Si エピタキシャル層 16 を成長させるので、イオン注入で非晶質化されたミラー表面 12 の近傍部における結晶性を回復させるためである。

【0034】更に、ミラー表面 12 に  $\text{SiO}_2$  膜 13 を形成するのは、炭素 14 をイオン注入する際に、チャネリングが発生するのを防止すると共に、ミラー表面 12 がスパッタリングされるのを防止するためである。但し、 $\text{SiO}_2$  膜 13 と  $\text{N}_2$  雰囲気中でのアニールとは、炭素 14 をイオン注入する際の加速エネルギーやドーズ量によっては、必ずしも必要ではない。

【0035】図 2、3 には、この第 1 実施例のエピタキシャル基板 17 を用いて測定した値も示されている。なお、図 2、3 に示されている従来例のエピタキシャル基板を形成するための CZ 基板と、この第 1 実施例のエピタキシャル基板 17 を形成するための CZ 基板 11 とは、同じ仕様である。これらの図 2、3 から明らかな様に、発生寿命は CZ 基板の 1.4 倍程度に改善されており、白傷欠陥の数は MCZ 基板の  $1/2$  程度に改善されている。つまり、エピタキシャル基板 17 では、半導体装置を形成した後もゲッタリング能力が有効に機能している。

【0036】なお、以上の第 1 実施例では、 $800 \text{ keV}$  の加速エネルギー及び  $1 \times 10^{14} \text{ cm}^{-2}$  のドーズ量で炭素 14 を CZ 基板 11 にイオン注入しているが、図 4 は、これらの条件のうちドーズ量のみを種々に変化させて得た、炭素 14 のドーズ量と、エピタキシャル基板 17 に形成した CCD 撮像装置の白傷欠陥の数との関係を示している。

【0037】図 4 も、図 3 と同様に、MCZ 基板に形成した CCD 撮像装置の白傷欠陥の数を 1 として規格化した値を示している。但し、図 3 が対数グラフであるのに対して、図 4 は線型グラフである。この図 4 から、炭素 14 をイオン注入しさえすれば MCZ 基板よりも白傷欠陥の数が少なくなるが、ドーズ量が  $5 \times 10^{13} \text{ cm}^{-2}$  以上の場合に白傷欠陥の数が特に少なくて炭素 14 のイオン注入によるゲッタリング効果が大いことが分かる。

【0038】但し、炭素 14 のドーズ量が  $5 \times 10^{15} \text{ cm}^{-2}$  を超えると、CZ 基板 11 のミラー表面 12 の結晶性が劣化して、このミラー表面 12 上に成長させる Si エピタキシャル層 16 の結晶性も劣化する。従って、炭素 14 のドーズ量としては、 $5 \times 10^{13} \sim 5 \times 10^{15} \text{ cm}^{-2}$  の範囲が好ましい。

【0039】また、上述の第 1 実施例では、 $800 \text{ keV}$  の加速エネルギーで炭素 14 をイオン注入しているが、この加速エネルギーを  $400 \text{ keV}$  にしても、炭素 14 の

イオン注入によるゲッタリング効果は800 keVの場合と同じであり、200 keVにしても、ゲッタリング効果はやはり800 keVの場合と同じであると考えられる。

【0040】従って、炭素14を低エネルギーでイオン注入する様にすれば、一般に用いられている高電流イオン注入装置を使用することができ、且つ $C^{2+}$ に比べて約10倍の電流を得ることができる $C^+$ を使用することができるので、スループットを約10倍に向上させることができる。

【0041】なお、加速エネルギーを400 keV及び200 keVにした場合の炭素14の投影飛程距離は、夫々0.75  $\mu m$ 程度及び0.40  $\mu m$ 程度であり、何れの場合も、800 keVの場合と同様に、CZ基板11のミラー表面12よりも深い位置にピーク濃度を有する炭素注入領域15を形成することができる。

【0042】また、上述の第1実施例では、CZ基板11のミラー表面12上にSiエピタキシャル層16を一時に成長させているが、エピタキシャル成長温度でSiエピタキシャル層16を所定の膜厚まで成長させてから一旦エピタキシャル成長温度の1/2以下の温度まで冷却するという一連の工程を2回以上繰り返すことによって、所望の膜厚のSiエピタキシャル層16を形成してもよい。

【0043】この様にすると、Siエピタキシャル層16の形成に際して2回以上の熱履歴が加えられるので、炭素14のイオン注入によってCZ基板11に形成された結晶欠陥が更に成長し、エピタキシャル基板17のゲッタリング能力が更に高くなる。

【0044】また、上述の第1実施例では、エピタキシャル基板17のゲッタリング能力を高めるために、炭素14のイオン注入のみを行っているが、CZ基板11の裏面に多結晶Si膜やリンガラス膜を形成すること等によって行うEGを併用すると、ゲッタリング能力を更に高めることができる。

【0045】また、上述の第1実施例では、Si基板であるCZ基板11に炭素14のみをイオン注入しているが、IV族元素であるGe、Sn、Pb等を炭素14の代わりにイオン注入してもよく、IV族以外の元素を炭素14等のIV族元素と同時にイオン注入してもよい。また、この第1実施例では、Si基板であるCZ基板11を用いているが、MCZ基板を用いてもよく、Si基板以外の基板を用いてもよい。Si基板以外の基板を用いる場合は、基板を形成している元素とは異なるがこの元素と同族で電氣的に中性な元素を少なくともイオン注入する。

【0046】また、上述の第1実施例では、 $SiHCl_3$ を用いてSiエピタキシャル層16を成長させているが、 $SiCl_4$ 、 $SiH_2Cl_2$ 、 $SiH_3Cl$ または $SiH_4$ を $SiHCl_3$ の代わりに用いてもよく、特に

$SiH_4$ を用いると半導体装置の特性が更に良くなるということが判明している。

【0047】次に、第2実施例を説明する。この第2実施例では、MCZ法によるSi結晶の成長速度を0.5 mm分<sup>-1</sup>に設定して、酸素濃度が $1 \times 10^{18}$ 原子cm<sup>-3</sup>であり、〈100〉面をミラー表面とし、抵抗率が20  $\Omega cm$ 程度であるSi基板を作成した。そして、このSi基板に、膜厚が20 nmの $SiO_2$ 膜から成るゲート絶縁膜とAl膜から成るゲート電極とを有するMOSキャパシタと、CCD撮像装置とを形成した。

【0048】この第2実施例で製造したSi基板を、従来例で製造したSi基板と比較すると、MOSキャパシタの $SiO_2$ 膜耐圧の良品率は4倍程度に改善されており、CCD撮像装置の白傷欠陥の数も1/5以下に改善されている。なお、この第2実施例ではMCZ法でSi結晶を成長させたが、CZ法でも同様の効果を期待することができる。

【0049】図5は、第2実施例におけるSi基板の酸素濃度を更に種々に変化させて得た、Si基板の酸素濃度と、このSi基板に形成したCCD撮像装置の白傷欠陥の数との関係を示している。この図5から、酸素濃度が $8 \times 10^{17}$ 原子cm<sup>-3</sup>以上で白傷欠陥の数が低めに安定していることが分かる。これは、CCD撮像装置の形成工程で自然に導入されるIG効果によって不純物や結晶欠陥がゲッタリングされたためではないかと推測される。

【0050】図6は、Si基板の酸素濃度を $9 \times 10^{17}$ 原子cm<sup>-3</sup>に固定した状態でSi結晶の成長速度を種々に変化させて得た、Si結晶の成長速度と、このSi基板に形成したMOSキャパシタの $SiO_2$ 膜耐圧の良品率及びCCD撮像装置の白傷欠陥の数との関係を示している。この図6から、成長速度が1 mm分<sup>-1</sup>以下であれば $SiO_2$ 膜耐圧の良品率も白傷欠陥の数も良好であることが分かる。これは、成長速度が遅いために、結晶成長時に導入される点欠陥やそのクラスタ等が少ないためではないかと推測される。

【0051】従って、このSi基板にCCD撮像装置を形成すると、白傷欠陥が少ないのみならず、ゲート絶縁膜の耐圧劣化に起因する転送不良等も少ない。なお、Si結晶の成長速度としては、従来は、生産性の観点等から、1.5 mm分<sup>-1</sup>程度が一般的に採用されていた。

【0052】

【発明の効果】請求項1、2の半導体基板では、不純物及び結晶欠陥を強力にゲッタリングすることができ且つゲッタリング能力が長く持続し、しかもエピタキシャル層の結晶性の劣化も少ないので、品質及び特性の優れた半導体装置を形成することができる。

【0053】請求項3の固体撮像装置では、不純物及び結晶欠陥を強力にゲッタリングすることができ且つゲッタリング能力が長く持続し、しかもエピタキシャル層の

結晶性の劣化も少ないので、白傷欠陥が少ない。

【0054】請求項4、5の半導体基板の製造方法では、高密度の結晶欠陥や応力によるゲッターリングサイトを形成して、不純物及び結晶欠陥を強力にゲッターリングすることができ且つゲッターリング能力が長く持続する半導体基板を製造することができるので、品質及び特性の優れた半導体装置の形成が可能な半導体基板を製造することができる。

【0055】請求項6の半導体基板の製造方法では、高密度の結晶欠陥の形成と応力の発生とを十分に行うことができゲッターリング能力が高くしかもエピタキシャル層の結晶性の劣化も少ない半導体基板を製造することができるので、品質及び特性の優れた半導体装置の形成が可能な半導体基板を製造することができる。

【0056】請求項7の半導体基板の製造方法では、高密度の結晶欠陥が更に成長し、ゲッターリング能力が高い半導体基板を製造することができるので、品質及び特性の優れた半導体装置の形成が可能な半導体基板を製造することができる。

【0057】請求項8の半導体基板の製造方法では、更に高密度の結晶欠陥を形成することができ、ゲッターリング能力が更に高い半導体基板を製造することができるので、品質及び特性の更に優れた半導体装置の形成が可能な半導体基板を製造することができる。

【0058】請求項9の半導体基板の製造方法では、結晶成長時に導入される点欠陥やそのクラスタ等が本来的に少なく、しかも不純物及び結晶欠陥が存在していてもこれらを強力にゲッターリングすることができる半導体基

板を製造することができるので、品質及び特性の優れた半導体装置の形成が可能な半導体基板を製造することができる。

【0059】請求項10の固体撮像装置の製造方法では、ゲッターリング能力が強力で且つゲッターリング能力が長く持続する半導体基板に固体撮像装置を製造することができるので、白傷欠陥が少ない固体撮像装置を製造することができる。

【図面の簡単な説明】

【図1】本願の発明の第1実施例を工程順に示す側断面図である。

【図2】半導体基板の種類と発生寿命との関係を示すグラフである。

【図3】半導体基板の種類と白傷欠陥の数との関係を示すグラフである。

【図4】炭素のドーズ量と白傷欠陥の数との関係を示すグラフである。

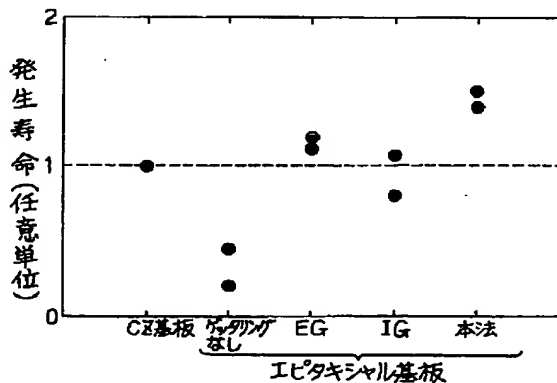
【図5】Si基板の酸素濃度と白傷欠陥の数との関係を示すグラフである。

【図6】Si結晶の成長速度とSiO<sub>2</sub>膜耐圧の良品率及び白傷欠陥の数との関係を示すグラフである。

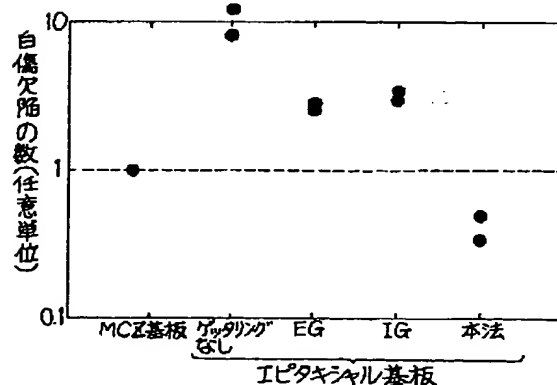
【符号の説明】

- 11 CZ基板
- 12 ミラー表面
- 14 炭素
- 16 Siエピタキシャル層
- 17 エピタキシャル基板

【図2】

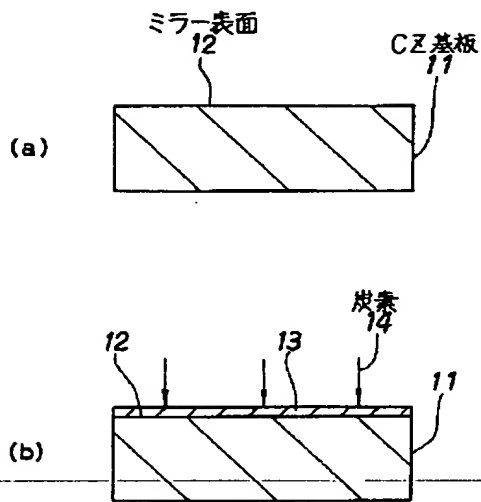


【図3】

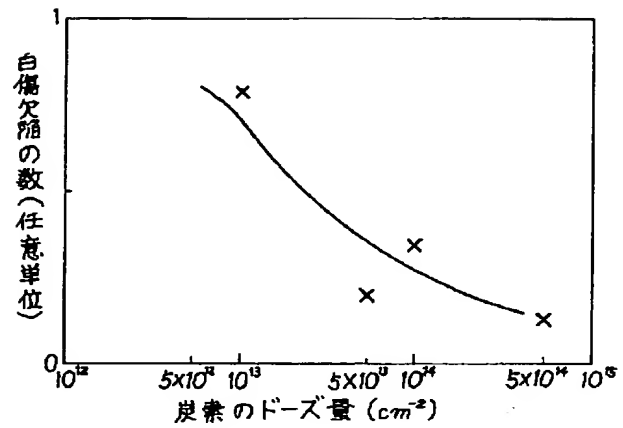




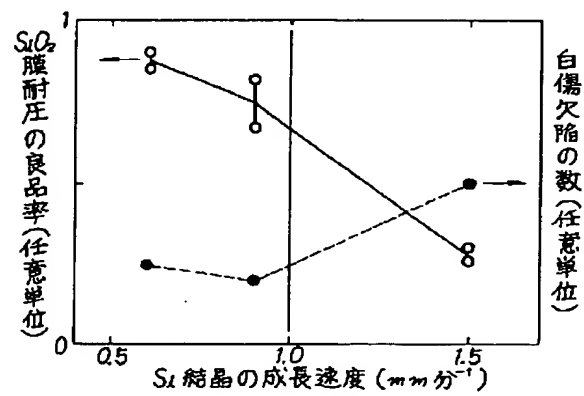
【図 1】



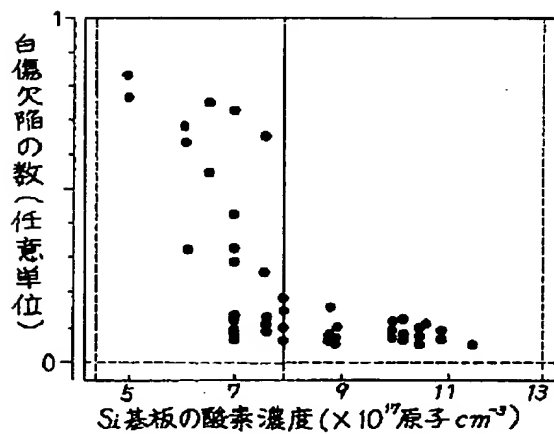
【図 4】



【図 6】



【図 5】



フロントページの続き

(72) 発明者 神戸 秀夫  
東京都品川区北品川 6 丁目 7 番 5 号 ソニ  
ー株式会社内

(72) 発明者 大橋 正典  
東京都品川区北品川 6 丁目 7 番 5 号 ソニ  
ー株式会社内